

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116174

(43) 公開日 平成9年(1997)5月2日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/866			H 0 1 L 29/90	D
21/8222			27/06	1 0 1 D
27/08				

審査請求 未請求 請求項の数 8 O L / (全 11 頁)

(21) 出願番号 特願平7-269889

(22) 出願日 平成7年(1995)10月18日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒井 千広

東京都品川区北品川6丁目7番35号 ソニー株式会社内

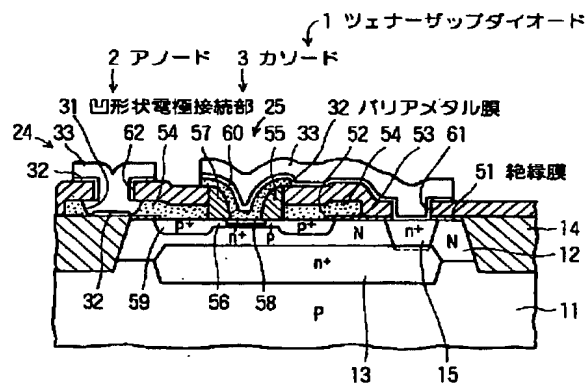
(54) 【発明の名称】 ツェナーザップダイオードおよびその製造方法

(57) 【要約】

【課題】 バリアメタル膜とA1系合金膜による積層電極を使用し、高集積化した半導体装置にツェナーザップダイオードを搭載し、安定した製造で、しかも従来同様の容易さでザッピングできるツェナーザップダイオードおよびその製造方法を提供する。

【解決手段】 ポリシリコンベース電極54部に凹形状電極接続部31を設け、この凹形状電極接続部31の上部には、約150nmのオーバーハング状の層間絶縁膜53を設けて、スパッタリングで堆積されるバリアメタル膜32の分離部を凹形状電極接続部31の側壁面に形成し、この側壁面部では、バリアメタル膜とA1-Si合金膜33による積層電極で構成されたアノード電極24の低融点金属であるA1-Si合金膜33とポリシリコンベース電極54とを高融点金属電極であるバリアメタル膜32を介さずに直接接触させる。

【効果】 高集積化した半導体装置に、安定した製造で、しかも従来同様の容易さでザッピングできるツェナーザップダイオードを搭載することが可能となる。



【特許請求の範囲】

【請求項1】 バイポーラトランジスタを含む半導体集積回路で構成された半導体装置に搭載する、前記バイポーラトランジスタを用いたツェナーザップダイオードにおいて、

前記ツェナーザップダイオードのアノード電極とカソード電極のうち、少なくとも一方の前記電極の接続部は、凹形状電極接続部とし、

前記凹形状電極接続部の上方にオーバーハング状の開口をもつ絶縁膜を有し、

前記電極は、バリアメタル膜とA1系合金膜との積層電極膜で構成し、

前記バリアメタル膜は、前記オーバーハング状の開口をもつ絶縁膜により、前記絶縁膜上と、前記オーバーハング状の開口直下の電極接続部との間で分離された構造を有し、

前記凹形状電極接続部では、前記電極が半導体基板に形成されている接合部に直接対向する前記凹形状電極接続部の底部には前記積層電極膜のバリアメタル膜が接触し、前記接合部に直接対向しない前記凹形状電極接続部の側壁部には前記積層電極膜のA1系合金膜が半導体部と接触する構成としたことを特徴とするツェナーザップダイオード。

【請求項2】 前記バイポーラトランジスタがポリシリコンベース電極で構成され、前記バイポーラトランジスタのグラフトベース層の上部以外の前記ポリシリコンベース電極部に前記凹形状電極接続部を設けた構造を有することを特徴とする、請求項1記載のツェナーザップダイオード。

【請求項3】 前記バイポーラトランジスタがポリシリコンベース電極で構成され、前記バイポーラトランジスタのグラフトベース層の上部の前記ポリシリコンベース電極部に凹形状電極接続部を設け、前記凹形状電極接続部の底部と前記グラフトベース層間には、略100nmの前記ポリシリコンベース電極を有した構造とすることを特徴とする、請求項1記載のツェナーザップダイオード。

【請求項4】 ポリシリコンエミッタ電極バイポーラトランジスタを含む半導体集積回路で構成される半導体装置に搭載する、前記バイポーラトランジスタを用いたツェナーザップダイオードにおいて、
前記ツェナーザップダイオードとするバイポーラトランジスタのエミッタ電極の接続部は、凹形状電極接続部とし、前記凹形状電極接続部の上方にオーバーハング状の開口をもつ絶縁膜を有し、
前記凹形状電極接続部上には前記ポリシリコンエミッタ電極を有し、
前記ツェナーザップダイオードとするバイポーラトランジスタのエミッタ層は、コレクタ層と接続し、
前記電極は、バリアメタル膜とA1系合金膜との積層電

極膜で構成し、

前記バリアメタル膜は、前記オーバーハング状の開口をもつ絶縁膜により、前記絶縁膜上と、前記オーバーハング状の開口直下の電極接続部との間で分離された構造を有し、

前記積層電極膜のA1系合金膜が前記ポリシリコンエミッタ電極を介してエミッタ層とベース層の接合に対向する構成としたことを特徴とするツェナーザップダイオード。

10 【請求項5】 バイポーラトランジスタを含む半導体集積回路で構成された半導体装置に搭載する、前記バイポーラトランジスタを用いたツェナーザップダイオードの製造方法において、

前記ツェナーザップダイオードのアノード電極とカソード電極のうち、少なくとも一方の前記電極の接続部を、絶縁膜に設けた開口部と前記開口部を囲む、より大きい開口面積の開口部を持つフォトレジストとをマスクとして、半導体部を等方的にエッチングして凹形状電極接続部を形成する工程と、

20 バリアメタル膜とA1系合金膜とをスパッタリングして、積層電極膜を形成する工程と、
を有することを特徴とするツェナーザップダイオードの製造方法。

【請求項6】 バイポーラトランジスタのベース電極としてポリシリコンベース電極部を形成する工程と、
前記ポリシリコンベース電極上に層間絶縁膜を形成する工程と、

30 前記バイポーラトランジスタのグラフトベース層上部以外の、前記ポリシリコンベース電極上の層間絶縁膜に開口を形成する工程と、

前記層間絶縁膜の前記開口と、前記開口を囲む、より大きい開口面積の開口部を持つフォトレジストとをマスクとして、ポリシリコンベース電極を等方的にエッチングして、凹形状電極接続部を形成する工程と、
を有することを特徴する、請求項5記載のツェナーザップダイオードの製造方法。

40 【請求項7】 バイポーラトランジスタのベース電極としてポリシリコンベース電極部を形成する工程と、
前記ポリシリコンベース電極上に層間絶縁膜を形成する工程と、

前記バイポーラトランジスタのグラフトベース層上部に、前記ポリシリコンベース電極上の層間絶縁膜に開口を形成する工程と、

前記層間絶縁膜の前記開口と、前記開口を囲む、より大きい開口面積の開口部を持つフォトレジストとをマスクとして、ポリシリコンベース電極を等方的にエッチングして、凹形状電極接続部を形成し、前記凹形状電極接続部の底部と前記グラフトベース層との間には略100nmのポリシリコンベース電極を残す工程と、

50 を有することを特徴する、請求項5記載のツェナーザッ

ブダイオードの製造方法。

【請求項8】 ポリシリコンエミッタ電極バイポーラトランジスタを含む半導体集積回路で構成される半導体装置に搭載する、前記バイポーラトランジスタを用いたツェナーザップダイオードの製造方法において、前記バイポーラトランジスタのベース電極としてポリシリコンベース電極部を形成する工程と、前記ポリシリコンベース電極部のサイドウォール用絶縁膜を形成する工程と、前記サイドウォール用絶縁膜の前記ツェナーザップダイオードのカソード部に開口を形成する工程と、前記サイドウォール用絶縁膜をマスクとし、前記開口部のベース層の一部を等方的なエッチングでエッチング除去し、凹形状電極接続部を形成する工程と、前記サイドウォール用絶縁膜を前記ツェナーザップダイオード領域に残すためのフォトリソストのパターニング工程と、前記フォトリソストをマスクとし、前記サイドウォール用絶縁膜をエッチバックする工程と、不純物をドーブしたポリシリコンエミッタ電極を形成する工程と、前記ポリシリコンエミッタ電極の不純物を拡散させて前記バイポーラトランジスタのエミッタ層を形成し、ベースエミッタ接合形成と同時にベース層の一部を消滅させてエミッタとコレクタとを接続させる工程と、前記バリアメタル膜とA1系合金膜とをスパッタリングして、積層電極膜を形成する工程と、を有することを特徴とするツェナーザップダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に搭載されたツェナーザップダイオードの構造とその製造方法に関し、さらに詳しくは、高融点金属のバリアメタル膜と低融点金属のA1系合金膜との積層電極を使用する半導体装置に搭載されたツェナーザップダイオードの構造とその製造方法に関する。

【0002】

【従来の技術】半導体集積回路内で基準電圧を発生させるような場合、その電圧を規格範囲に入れるには、抵抗調整（トリミング）を行うことが必要となる。従来、半導体集積回路における抵抗のトリミングはツェナーダイオードの破壊を利用して行われており、例えば、IEEE Journal of Solid-State Circuits, Vol. SC-10, No. 6, p. 412-416, (Dec. 1975)に掲載されている。この一般的な半導体集積回路におけるツェナーザップダイオードの従来構造を図5に示す。

【0003】バイポーラトランジスタを含む半導体集積回路で構成された半導体装置に搭載する、バイポーラト

ランジスタを用いたツェナーザップダイオード1は、例えば図5に示すような、NPNトランジスタにおけるエミッタとベースのPN接合を用いたダイオードで構成され、ベースをツェナーザップダイオード1のアノードとし、エミッタをツェナーザップダイオード1のカソードとする構成である。なお、NPNトランジスタを用いたツェナーザップダイオード1では、コレクタがPN接合と素子分離用の絶縁膜とで囲まれていて電位的に不安定となるため、コレクタをエミッタ電極、又は電源配線と接続させておくのが一般的なツェナーザップダイオード1の構成となっている。

【0004】次に、上記従来例のツェナーザップダイオード1の製造方法を図5を参照して説明する。まず、P型半導体基板11上にN型となる不純物をイオン注入し、その後P型半導体基板11上にN型エピタキシャル層12を形成する。この過程でイオン注入された不純物は半導体基板11とエピタキシャル層12とに拡散し、N型埋め込み拡散層13が形成される。その後素子分離領域にLOCOS膜14を形成し、N型埋め込み拡散層13と後述するコレクタのコンタクト拡散層23とを接続するコレクタ電極引き出し領域15を形成する。更に、P型の不純物をイオン注入してベース層16を形成し、その後絶縁膜17を堆積し、絶縁膜17に形成した開口18部よりP型の不純物をイオン注入してグラフトベース層19を形成する。次に、絶縁膜17に形成した開口20、21部よりN型の不純物をイオン注入してエミッタ層22とコレクタのコンタクト拡散層23を形成し、その後これらイオン注入層の活性化アニールをする。更にその後、A1系合金膜、例えば約1%のSiを含むA1-Si合金膜を堆積した後、パターニングしてベース電極、即ちツェナーザップダイオード1のアノード電極24やコレクタのコンタクト拡散層23と接続したエミッタ電極、即ちツェナーザップダイオード1のカソード電極25を形成してツェナーザップダイオード1が形成される。

【0005】上記のようなツェナーザップダイオード1は低融点金属の上記A1-Si合金を電極材料として使用しているため、ツェナーザップダイオード1を搭載した半導体集積回路において、抵抗のトリミング時にツェナーザップダイオード1をツェナー破壊させ、A1-Si合金の電極材料を熔融させNP接合破壊によるショート状態を起こさせること（ザッピング）が容易という利点がある。しかし、最近の高集積化、高性能化された半導体装置においては、バイポーラトランジスタ素子、MOSトランジスタ素子ともに、浅いPN接合が要求されるようになり、上記のようなA1-Si合金を電極として使用すると、A1-Si合金と半導体基板のSiとが反応し、浅いPN接合を破壊させるという現象が起きてしまい、上記のようなA1-Si合金の電極は使用できない。そこで、上述した浅いPN接合が破壊するのを防

止するため、Al-Si合金の電極と半導体基板間に、高融点金属材料であるTiとTiNの積層膜によるバリアメタル膜が設けられた構成にて電極が形成されている。この様な高融点金属材料であるバリアメタル膜と低融点金属であるAl-Si合金とによる積層電極が使用されると、ツェナーザップダイオード1を抵抗トリミング時のザッピングが、ほとんど不可能となり、これが高集積化、高性能化した半導体装置にツェナーザップダイオード1を搭載するための阻害要因となっている。

【0006】更に、バイポーラトランジスタのエミッタとベースとのPN接合を用いたツェナーザップダイオードにおいては、コレクタの電位が不安定とならないように、コレクタとエミッタ、またはコレクタと電源とを接続する必要があり、このための配線部領域の余分な面積増があり、集積度を低下させている。

【0007】

【発明が解決しようとする課題】本発明は上述したツェナーザップダイオードの各種問題点を解決することをその目的とする。即ち本発明の課題は、バリアメタル膜とAl系合金膜による積層電極を使用した半導体装置にツェナーザップダイオードを搭載する際に、安定した製造で、しかもザッピングが容易にできるツェナーザップダイオードおよびその製造方法を提供することであるまた、本発明の別の課題は、バイポーラトランジスタのエミッタとベースとのPN接合を用いたツェナーザップダイオードにおいて、コレクタ電位の安定化確保のための余分な配線部領域を持たないツェナーザップダイオードおよびその製造方法を提供することである。

【0008】

【課題を解決するための手段】本発明のツェナーザップダイオードは、上記の課題を解決するために提案するものである。

【0009】請求項1のツェナーザップダイオードは、バイポーラトランジスタを含む半導体集積回路で構成された半導体装置に搭載する、バイポーラトランジスタを用いたツェナーザップダイオードであって、ツェナーザップダイオードのアノード電極とカソード電極のうち、少なくとも一方の電極の接続部は、凹形状電極接続部とし、凹形状電極接続部の上方にオーバーハング状の開口をもつ絶縁膜を有し、電極は、バリアメタル膜とAl系合金膜との積層電極膜で構成し、バリアメタル膜は、オーバーハング状の開口をもつ絶縁膜により、絶縁膜上と、オーバーハング状の開口直下の凹形状電極接続部との間で分離された構造を有し、凹形状電極接続部では、電極が半導体基板に形成されている接合部に直接対向する凹形状電極接続部の底部には積層電極膜のバリアメタル膜が接触し、接合部に直接対向しない凹形状電極接続部の側壁部には積層電極膜のAl系合金膜が半導体部と接触する構成としたことを特徴とするものである。

【0010】請求項2のツェナーザップダイオードは、

バイポーラトランジスタがポリシリコンベース電極で構成され、前記バイポーラトランジスタのグラフトベース層の上部以外の前記ポリシリコンベース電極部に凹形状電極接続部を設けた構造を有することを特徴とするものである。

【0011】請求項3のツェナーザップダイオードは、バイポーラトランジスタがポリシリコンベース電極で構成され、バイポーラトランジスタのグラフトベース層の上部のポリシリコンベース電極部に電極接続部を設け、凹形状電極接続部の底部と前記グラフトベース層間には、略100nmのポリシリコンベース電極を有した構造とすることを特徴とするものである。

【0012】請求項4のツェナーザップダイオードは、ポリシリコンエミッタ電極バイポーラトランジスタを含む半導体集積回路で構成される半導体装置に搭載する、バイポーラトランジスタを用いたツェナーザップダイオードであって、ツェナーザップダイオードとするバイポーラトランジスタのエミッタ電極の接続部は、凹形状電極接続部とし、凹形状電極接続部の上方にオーバーハング状の開口をもつ絶縁膜を有し、凹形状電極接続部上にはポリシリコンエミッタ電極を有し、ツェナーザップダイオードとするバイポーラトランジスタのエミッタ層は、コレクタ層と接続し、電極は、バリアメタル膜とAl系合金膜との積層電極膜で構成し、バリアメタル膜は、オーバーハング状の開口をもつ絶縁膜により、絶縁膜上と、オーバーハング状の開口直下の凹形状電極接続部との間で分離された構造を有し、積層電極膜のAl系合金膜がポリシリコンエミッタ電極を介してエミッタ層とベース層の接合に対向する構成としたことを特徴とするものである。

【0013】請求項5のツェナーザップダイオードの製造方法は、バイポーラトランジスタを含む半導体集積回路で構成された半導体装置に搭載する、バイポーラトランジスタを用いたツェナーザップダイオードの製造方法であって、ツェナーザップダイオードのアノード電極とカソード電極のうち、少なくとも一方の電極の接続部を、絶縁膜に設けた開口部と開口部を囲む、より大きい開口面積の開口部を持つフォトレジストとをマスクとして、半導体部を等方的にエッチングして凹形状電極接続部を形成する工程と、バリアメタル膜とAl系合金膜とをスパッタリングして、積層電極膜を形成する工程とを有することを特徴とするものである。

【0014】請求項6のツェナーザップダイオードの製造方法は、バイポーラトランジスタのベース電極としてポリシリコンベース電極部を形成する工程と、ポリシリコンベース電極上に層間絶縁膜を形成する工程と、バイポーラトランジスタのグラフトベース層上部以外の、ポリシリコンベース電極上の層間絶縁膜に開口を形成する工程と、層間絶縁膜の開口と、開口を囲む、より大きい開口面積の開口部を持つフォトレジストとをマスクとし

て、ポリシリコンベース電極を等方的にエッチングして、凹形状電極接続部を形成する工程とを有することを特徴するものである。

【0015】請求項7のツェナーザップダイオードの製造方法は、バイポーラトランジスタのベース電極としてポリシリコンベース電極部を形成する工程と、ポリシリコンベース電極上に層間絶縁膜を形成する工程と、バイポーラトランジスタのグラフトベース層上部に、ポリシリコンベース電極上の層間絶縁膜に開口を形成する工程と、層間絶縁膜の開口と、この開口を囲む、より大きい開口面積の開口部を持つフォトレジストとをマスクとして、ポリシリコンベース電極を等方的にエッチングして、凹形状電極接続部を形成し、凹形状電極接続部の底部とグラフトベース層との間には略100nmのポリシリコンベース電極を残す工程とを有することを特徴するものである。

【0016】請求項8のツェナーザップダイオードの製造方法は、ポリシリコンエミッタ電極バイポーラトランジスタを含む半導体集積回路で構成される半導体装置に搭載する、バイポーラトランジスタを用いたツェナーザップダイオードの製造方法であって、バイポーラトランジスタのベース電極としてポリシリコンベース電極部を形成する工程と、ポリシリコンベース電極部のサイドウォール用絶縁膜を形成する工程と、サイドウォール用絶縁膜のツェナーザップダイオードのカソード部に開口を形成する工程と、サイドウォール用絶縁膜をマスクとし、開口部のベース層の一部を等方的なエッチングでエッチング除去し、凹形状電極接続部を形成する工程と、サイドウォール用絶縁膜をツェナーザップダイオード領域に残すためのフォトレジストのパターニング工程と、フォトレジストをマスクとし、サイドウォール用絶縁膜をエッチバックする工程と、不純物をドーピングしたポリシリコンエミッタ電極を形成する工程と、ポリシリコンエミッタ電極の不純物を拡散させてバイポーラトランジスタのエミッタ層を形成し、ベース-エミッタ接合形成と同時にベース層の一部を消滅させてエミッタとコレクタとを接続させる工程と、バリアメタル膜とAl系合金膜とをスパッタリングして、積層電極膜を形成する工程とを有することを特徴とするものである。

【0017】本発明の骨子は、高集積化、高性能化された半導体装置に用いられる配線技術であるバリアメタル膜とAl系合金膜の積層電極膜を用いたツェナーザップダイオードを半導体装置に搭載するため、ツェナーザップダイオードのアノードとカソードのうち、少なくとも一方の電極の接続部を凹形状電極接続部とし、この凹形状電極接続部の上方にオーバーハング状の開口をもつ絶縁膜を設けることにより、バリアメタル膜を絶縁膜上と、オーバーハング状の開口直下の凹形状電極接続部との間で分離された構造としたことである。この様な構造としたことで、浅いPN接合上の拡散層にはバリアメ

ル膜が接触して、半導体基板のSiとバリアメタル膜上の低融点金属であるAl系合金との反応を防止し、一方、バリアメタル膜が分離された凹形状電極接続部の側壁部には、低融点金属であるAl系合金膜が接触して、ツェナーザップダイオードのザッピング時には、従来同様の容易さでザッピングが可能になる。

【0018】また、本発明の骨子は、ポリシリコンエミッタ電極バイポーラトランジスタを含む半導体装置のバイポーラトランジスタを用いたツェナーザップダイオードにおいて、エミッタ層の電極の接続部を凹形状電極接続部とし、凹形状電極接続部の上方に絶縁膜のオーバーハングを形成し、ポリシリコンエミッタ電極の不純物を拡散でエミッタ層を形成し、ベースとエミッタ間接合形成と同時にベース層の一部を消滅させてエミッタとコレクタとを接続させることである。この様にすることで、コレクタ電位の安定化確保のための余分な配線領域を持たないツェナーザップダイオードが構成でき、ツェナーザップダイオード素子の縮小化による半導体装置の高集積化を可能にし、またエミッタ層はポリシリコンエミッタ電極を介して低融点金属のAl系合金と接触するので、シリコンとAl系合金の反応によりエミッタとベースの浅いPN接合が破壊されることはほとんど無く、一方ツェナーザップダイオードのザッピング時には、従来同様の容易さでザッピングが可能となる。

【0019】

【実施例】以下、本発明の具体的実施例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図5中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0020】実施例1

本実施例は、本発明のツェナーザップダイオードにより、高集積の半導体装置の配線技術である、高融点金属材料のバリアメタル膜と低融点金属材料の電極膜による積層電極を使用する半導体装置にツェナーザップダイオードを搭載することを可能にした例であり、これを図1(a)および(b)を参照して説明する。

【0021】図1(a)は、NPNトランジスタを用いたツェナーザップダイオード1の概略断面図であり、図1(b)は、PNPトランジスタを用いたツェナーザップダイオード1の概略断面図である。まず、NPNトランジスタを用いたツェナーザップダイオード1は、P型半導体基板11にベース層16、グラフトベース層19、エミッタ層22、コレクタのコンタクト拡散層23等のNPNトランジスタ形成までを、従来例にて説明したと同様の製造方法にて形成する。次に、グラフトベース層19部の絶縁膜17の開口18を囲み、開口18より約1μm程度大きい開口でパターニングされたフォトレジストと、絶縁膜17をマスクとして、グラフトベース層19を等方的にエッチングできるブラズマエッチング法又はウェットエッチング法にてエッチングをするこ

とで、凹形状電極接続部31を形成し、グラフトベース層19上の絶縁膜17を約150nmのオーバーハング状にする。

【0022】その後、スパッタリング法により、一例として、高融点金属材料であるTiとTiNを積層したバリアメタル層32を堆積する。なお、このバリアメタル層32は、Ti膜が約30nmでTiN膜が約50nm程で形成されている。この様にすると、スパッタリング法にて堆積したバリアメタル層32は、図1(a)に示すように、絶縁膜17上と開口18直下のグラフトベース層19に堆積し、オーバーハング状の絶縁膜17で遮蔽された凹部形状電極接続部31側壁のグラフトベース層19部には堆積せず、バリアメタル膜32が分離された状態となる。なお、バリアメタル膜としては、TiO₂やTiW等、他の高融点金属材料や化合物でもよく、これら単層、又は積層構造で構成することもできる。

【0023】バリアメタル層32の堆積後、Al系合金膜、一例として約1%のSiを含むAl-Si合金膜を約800nm程度堆積し、その後パターニングしてベース電極、即ちバリアメタル膜32とAl-Si合金膜33との積層電極によるツェナーザップダイオード1のアノード電極24や、コレクタのコンタクト拡散層23と接続したエミッタ電極、即ちツェナーザップダイオード1のカソード電極25を形成する。上記のようにして作製したツェナーザップダイオード1においては、グラフトベース層19が等方的にエッチングされた凹部形状電極接続部31とアノード電極24とは、凹部形状電極接続部31の底部においてTi/TiNのバリアメタル層32が接触し、凹部形状電極接続部31の側壁部ではAl-Si合金膜33が直接接触した状態となる。

【0024】従って、高融点金属材料であるバリアメタル膜32と低融点金属材料のAl-Si合金膜33電極膜による積層電極膜利用の高集積化された半導体装置にツェナーザップダイオードを搭載しても、抵抗のトリミング時に、ツェナーザップダイオード1に過電流印加をするザッピング処理で、グラフトベース層19の凹部形状電極接続部31の側壁部に接する低融点金属材料のAl-Si合金が過電流印加による高熱発生で一部分溶融し、NP接合を破壊させることが容易にでき、積層電極膜の高融点金属材料であるバリアメタル膜がザッピングの障害とならず、従来と同様のザッピングが可能となる。一方、上記のツェナーザップダイオード1においては、浅いグラフトベース層19の接合は、バリアメタル膜32により、低融点金属のAl-Si合金と半導体基板のSiとの反応による破壊が防止され、エミッタ層22の接合と同様に安定した製造が可能となる。

【0025】次に、PNPトランジスタを用いたツェナーザップダイオード1を図1(b)を参照して説明する。図1(b)のPNPトランジスタを用いたツェナーザップダイオード1は、半導体集積回路内の他素子との

プロセス共通性を考慮した構成となっている。そのために、まずP型半導体基板11にN型不純物とP型不純物をイオン注入した後、N型エピタキシャル層を形成し、コレクタとなるP型埋め込み拡散層34がP型半導体基板11側では、N型導電層35に囲まれ、N型エピタキシャル層側では埋め込み拡散層34がN型導電層35に囲まれない状態となるようP型埋め込み拡散層34を形成する。上述のようなP型埋め込み拡散層34の形成は、N型不純物とP型不純物のイオン注入エネルギーとドーズ量および二つの不純物の拡散係数の相違とを考慮することで実現できる。N型エピタキシャル層12を形成後は、素子分離領域にLOCOS膜14を形成し、ツェナーザップダイオード1部の素子分離層兼コレクタ電極引き出し領域36を形成する。更に、N型エピタキシャル層12の不純物濃度より高い不純物濃度のベース層37をイオン注入により形成する。

【0026】次に、絶縁膜17を堆積し、絶縁膜17に形成した開口38部よりN型の不純物をイオン注入してグラフトベース領域39を形成する。その後絶縁膜17に形成した開口40、41部よりP型の不純物をイオン注入してエミッタ層42とコレクタのコンタクト拡散層43を形成し、その後これらイオン注入層の活性化アニールをする。次に、上述したNPNTランジスタを用いたツェナーザップダイオード1形成と同様な方法にて、ツェナーザップダイオード1のアノード2であるエミッタ層42をエッチングし、その後バリアメタル膜32とAl-Si合金膜33を堆積し、この積層電極膜をパターニングして、エミッタ層42とコレクタのコンタクト拡散層42を接続したアノード電極24やベース層37にコンタクトしたカソード電極3を形成する。

【0027】上述したPNPトランジスタを用いたツェナーザップダイオード1も、NPNTランジスタを用いたツェナーザップダイオード1と同様に、ザッピングを容易に行うことができる。本実施例の製法を取れば、NPNTランジスタとPNPトランジスタとが共に搭載された半導体集積回路においては、NPNTランジスタを用いたツェナーザップダイオード1とPNPトランジスタを用いたツェナーザップダイオード1を同時に搭載でき、しかも図1(a)のアノード2となるNPNTランジスタのグラフトベース層39と、図1(b)のPNPトランジスタのエミッタ層42とをプラズマエッチング法等により等方的にエッチングする工程が共用できる。

【0028】また、本実施例はアノード2となる不純物のイオン注入層をプラズマエッチング法等により等方的にエッチングして、その後バリアメタル膜32とAl-Si合金膜33を堆積する方法によりツェナーザップダイオード1を形成したが、カソード3となる不純物のイオン注入層をプラズマエッチング法等により等方的にエッチングして、その後バリアメタル膜32とAl-Si合金膜33を堆積する方法にてツェナーザップダイオード

ド1を形成してもよい。ただ前者のツェナーザップダイオード1の方が、より容易にザッピングできる。

【0029】実施例2

本実施例は、高集積の半導体装置の配線技術である、高融点金属材料のバリアメタル膜と低融点金属材料の電極膜による積層電極を使用する半導体装置で、実施例1の半導体装置よりさらに高集積化、高性能化された半導体装置に、本発明のツェナーザップダイオードを搭載することを可能にした例であり、これを図2を参照して説明する。

【0030】図2は高集積化、高性能化された半導体装置に搭載されるNPNトランジスタを用いたツェナーザップダイオード1の概略断面図であり、この図を参照して説明する。まず、半導体基板11上に、従来例と同様にして、N型のエピタキシャル層12、N型埋め込み拡散層13、LOCOS膜14、コレクタ電極引き出し領域15を形成する。次に、絶縁膜51を形成し、後述するベース層56とグラフトベース領域59とで構成されるベース領域の絶縁膜51に開口52を形成する。次に、P型不純物をドーブしたポリシリコン膜を堆積し、その後パターニングして、後にポリシリコンベース電極54となる領域を含んだポリシリコン膜のパターンを形成する。その後CVD法等により層間絶縁膜53を堆積し、ベース層55の形成領域部の層間絶縁膜53とポリシリコン膜に開口55を形成する。この開口55の形成された後のポリシリコン膜のパターンが、ポリシリコンベース電極54となる。

【0031】次に、開口55を通してP型不純物をイオン注入し、ベース層56を形成する。その後CVD法により絶縁膜を堆積し、続いてこの絶縁膜をRIE等によるバックエッチで、ベース層56の表面がでるまでエッチングする。この様にすると、開口55部のみにサイドウォール絶縁膜57が残る。その後、ポリシリコン膜を堆積し、このポリシリコン膜内へのN型の不純物をイオン注入し、続いて熱処理を行ってポリシリコン膜内のN型不純物をベース層56に拡散させ、エミッタ層58を形成する。なお、上記熱処理により、ポリシリコンベース電極54内のP型不純物も拡散し、グラフトベース領域59が形成される。次に、上述のN型の不純物をイオン注入したポリシリコン膜をパターニングして、ポリシリコンエミッタ電極60を形成し、続いてコレクタ電極引き出し領域15部とポリシリコンベース電極54部の層間絶縁膜53に開口61と開口62を形成する。なお、この開口62の位置はグラフトベース層59の上部以外のポリシリコンベース電極54上の層間絶縁膜54とする。

【0032】次に、ポリシリコンベース電極54部の層間絶縁膜53の開口62を囲み、この開口62より約1μm程度大きい開口でパターニングされたフォトレジストと、層間絶縁膜53とをマスクとして、ポリシリコン

ベース電極54を、等方的にエッチングできるブラズマエッチング法又はウェットエッチング法により、エッチングして凹形状電極接続部31を形成し、凹形状電極接続部31の上方の層間絶縁膜53をオーバーハング状にする。このエッチングにより、層間絶縁膜53のオーバーハングの程度を約150nmとする。図2では、等方的なエッチングでポリシリコンベース電極54をエッチングし、開口62直下のポリシリコンベース電極54が残らない状態となっているが、エッチングの等方性やポリシリコンベース電極54の膜厚によっては、開口62直下のポリシリコンベース電極54が残るが、この状態となってもよい。上述のエッチング後は、実施例1と同様にバリアメタル膜32とA1-Si膜33を堆積し、アノード電極24やカソード電極25を形成する。

【0033】上記のようにして作製したツェナーザップダイオード1においては、実施例1で説明したように、オーバーハング状の層間絶縁膜の開口62でバリアメタル膜32が分離され、アノード電極24のA1-Si合金膜33は凹形状電極接続部31の側壁部でポリシリコンベース電極54と直接接した状態となる。従って、高融点金属材料であるバリアメタル膜と低融点金属材料のA1-Si合金膜による積層電極利用の高集積化された半導体装置にツェナーザップダイオードを搭載しても、抵抗のトリミング時に、ツェナーザップダイオード1に過電流印加をするザッピング処理で、上記凹形状電極接続部31の側壁部に接する低融点金属材料のA1-Si合金が過電流印加による高熱発生で一部分溶融し、N-P接合破壊させることが容易にでき、高融点金属材料であるバリアメタル膜がザッピングの障害とならず、従来と同様のザッピングが可能となる。

【0034】実施例3

本実施例は、実施例2のツェナーザップダイオード1よりザッピングの容易さを向上させたツェナーザップダイオードである。即ち、図2のツェナーザップダイオード1は高集積化されたバイポーラトランジスタを用いたツェナーザップダイオードであるため、アノード電極24とツェナー破壊により発熱するPN接合部との間隔は実際非常に短く、従って従来例と同様の容易さでザッピングが可能であるが、本実施例は、さらにザッピングを容易にするため、アノード電極24とPN接合部とを接近させたツェナーザップダイオード1である。以下図3を参照して本実施例を説明する。

【0035】図3のツェナーザップダイオード1は、図2のポリシリコンベース電極とポリシリコンエミッタ電極構成の高集積化されたNPNトランジスタを用いたツェナーザップダイオードとはほぼ同様で、ポリシリコンベース電極に凹形状電極接続部を形成する段階までは図2のツェナーザップダイオード1と同様なので説明を省略する。まずポリシリコンベース電極54部の層間絶縁膜53に、開口位置をグラフトベース層59の上部にとつ

て、開口62を形成する。次に、ポリシリコンベース電極54部の層間絶縁膜53の開口62を囲み、この開口62より約1 μ m程度大きい開口でパターンニングされたフォトレジストと、層間絶縁膜53とをマスクとして、ポリシリコンベース電極54を、等方的にエッチングできるプラズマエッチング法又はウェットエッチング法にてポリシリコンベース電極54をエッチングし、凹形状電極接続部31を形成し、凹形状電極接続部31の上方の層間絶縁膜53をオーバーハング状にする。この層間絶縁膜53のオーバーハングの程度は約150nmとする。この際、グラフトベース領域59上部には、ポリシリコンベース電極54が約100nm程度の膜厚で残ようにしてエッチングを終了する。その後は、実施例1と同様にしてバリアメタル膜とA1-Si膜を堆積し、アノード電極24やカソード電極25を形成する。

【0036】この様にすると、エッチングされたポリシリコンベース電極54の凹形状電極接続部31の側壁部では、低融点金属材料のA1-Si合金膜33がポリシリコンベース電極54を介してグラフトベース層59の浅い接合と接するため、A1-Si合金膜33が半導体のSiと反応することによるグラフトベース層59の浅い接合の破壊はほとんど無い。このツェナーザップダイオード1においては、アノード電極24とPN接合部とを接近しているため、図2のツェナーザップダイオードより更に容易にザッピングすることが可能である。

【0037】実施例4

本実施例は、高集積の半導体装置の配線技術である、高融点金属材料のバリアメタル膜と低融点金属材料のA1系合金膜とによる積層電極を使用する半導体装置に、バイポーラトランジスタを用いたツェナーザップダイオードにおけるコレクタ電位の安定化確保のための余分な配線部領域を持たないツェナーザップダイオードを搭載することを可能にした本発明のツェナーザップダイオードであり、これを図4を参照して説明する。

【0038】図4はNPNトランジスタを用いたツェナーザップダイオード1の概略断面図であり、この図を参照して説明する。まず、P型半導体装置11にN型エピタキシャル層12、N型埋め込み拡散層13、LOCOS膜14を従来例と同様にして形成する。次に、実施例2で説明したと同様にして、絶縁膜51の開口52、層間絶縁膜53、ポリシリコンベース電極54、ベース層56を形成する。その後、本発明のツェナーザップダイオード1以外の半導体装置内にある、実施例2に示す構成をとるNPNトランジスタにおいては、グラフトベース層とエミッタ層のセルフアライン構造を持たせるためのサイドウォール用絶縁膜71を堆積する。

【0039】次に、後述するエミッタ層73形成領域部のサイドウォール用絶縁膜71に開口72を形成し、その後、56を等方的にエッチングするプラズマエッチング法等により、ベース層56の一部をエッチング除去し

て凹形状電極接続部31形成する。このエッチングで、サイドウォール用絶縁膜71が凹形状電極接続部31の上方で約150nm程度のオーバーハング状となるようにする。その後、フォトレジストを塗布し、ベース層56、後述するエミッタ層73およびグラフトベース層59の一部の上部にフォトレジストが残るようなパターンニングをした後、このフォトレジストをマスクとし、通常のバックエッチ法により、サイドウォール用絶縁膜71をエッチングする。次に、実施例2と同様にして、ポリシリコンエミッタ電極60を形成し、熱処理をすることで、ポリシリコンエミッタ電極60の不純物やポリシリコンベース電極54の不純物を拡散させ、エミッタ層73やグラフトベース領域59を形成する。その後、ポリシリコンベース電極54部に開口74を形成し、実施例1と同様にしてアノード電極24とカソード電極25を形成する。

【0040】上記のベース層56の一部エッチング除去とポリシリコンエミッタ電極60の不純物の拡散によるエミッタ層73の形成で、開口72の真下のベースとコレクタ間の浅いPN接合は消滅し、エミッタ層73とコレクタ部、即ちN型エピタキシャル層12とN型埋め込み拡散層13とが接続される。従って、従来例のようなコレクタ電位の安定化確保のための余分な配線部領域を必要とせず、ツェナーザップダイオード1素子の縮小化ができて、半導体装置の高集積化に寄与できる。

【0041】また、上記のようにして作製したツェナーザップダイオード1においては、ベース層56の一部に形成された凹形状電極接続部31の側壁部で、A1-Si合金膜33がポリシリコンエミッタ電極72を介してエミッタ層73とコンタクトした状態となる。従って、高融点金属材料であるバリアメタル膜32と低融点金属材料のA1-Si合金膜33による積層電極利用の高集積化された半導体装置にツェナーザップダイオード1を搭載しても、抵抗のトリミング時に、ツェナーザップダイオード1に過電流印加をするザッピング処理で、ポリシリコンベース電極54の側壁面に接する低融点金属材料のA1-Si合金が過電流印加による高熱発生で一部分溶解し、N-P接合破壊させることが容易にでき、高融点金属材料であるバリアメタル膜32はザッピングの障害とならず、従来と同様のザッピングが可能となる。

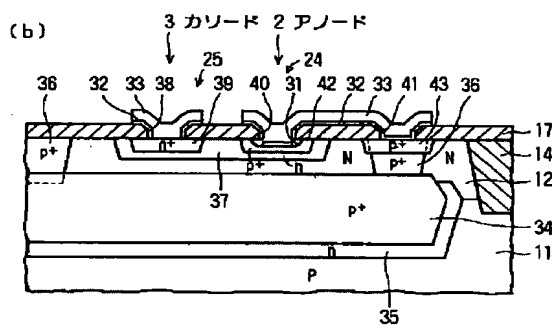
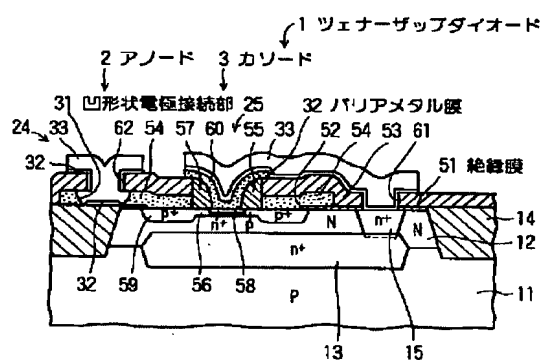
【0042】なお、本実施例ではNPNトランジスタを用いた構成のツェナーザップダイオード1について説明したが、PNPトランジスタを用いた構成のツェナーザップダイオードの場合でも同様にして形成できる。

【0043】

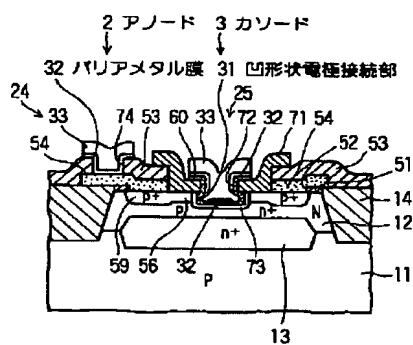
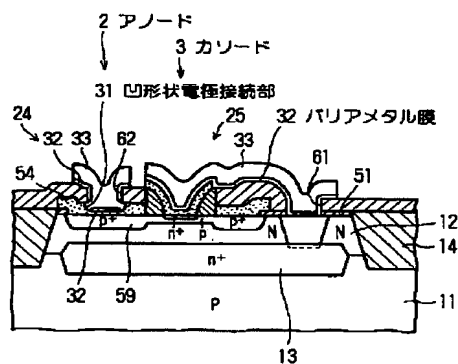
【発明の効果】以上の説明から明らかなように、本発明のツェナーザップダイオードは、電極の接合部を等方的にエッチングしてオーバーハング状の絶縁膜の開口を形成した後に、電極を形成することで、高融点金属材料によるバリアメタル膜と低融点金属のA1-Si合金膜の

15		16	
積層電極配線技術が用いられる高集積化した半導体装置と共通のプロセスでツェナーザップダイオードを搭載できて、安定した製造が可能となり、しかも従来同様な容易さでツェナーザップダイオードをザッピングすることが可能となる。また、本発明のツェナーザップダイオードは、バイポーラトランジスタのベース層を等方的なエッチングで一部エッチング除去した後、ポリシリコンエミッタ電極を形成し、エミッタ層を形成することで、エミッタ層とコレクタ部を接続した後、電極を形成することで、コレクタの電極配線領域を無くしてツェナーザップダイオード素子の縮小化を可能にし、しかも従来同様な容易さでツェナーザップダイオードをザッピングすることが可能となる。		14	LOCOS膜
		15	コレクタ電極引き出し領域
		16	ベース層
		17	絶縁膜
		18、20、21	開口
		19	グラフトベース層
		22	エミッタ層
		23	コンタクト拡散層
		24	アノード電極
		25	カソード電極
【図面の簡単な説明】 【図1】本発明を適用した実施例1のツェナーザップダイオードの概略断面図であり、(a)はNPNトランジスタを用いたツェナーザップダイオードの概略断面図、(b)はPNPトランジスタを用いたツェナーザップダイオードの概略断面図である。 【図2】本発明を適用した実施例2のNPNトランジスタを用いたツェナーザップダイオードの概略断面図である。 【図3】本発明を適用した実施例3のNPNトランジスタを用いたツェナーザップダイオードの概略断面図である。 【図4】本発明を適用した実施例4のNPNトランジスタを用いたツェナーザップダイオードの概略断面図である。 【図5】従来例のツェナーザップダイオードの概略断面図である。	10	31	凹形状電極接続部
		32	バリアメタル膜
		33	Al-Si合金膜
		34	P型埋め込み拡散層
		35	N型拡散層
		36	素子分離層兼コレクタ電極引き出し領域
		37	N型ベース層
		38、40、41	開口
		39	N型グラフトベース層
		42	P型エミッタ層
【符号の説明】 1 ツェナーザップダイオード 2 アノード 3 カソード 11 P型半導体基板 12 N型エピタキシャル層 13 N型埋込み拡散層		43	絶縁膜
		51	開口
		52	層間絶縁膜
		53	ポリシリコンベース電極
		54	開口
		55	ベース層
		56	サイドウォール絶縁膜
		57	エミッタ層
		58	グラフトベース層
		59	ポリシリコンエミッタ電極
30		60	開口
		61、62	サイドウォール用絶縁膜
		71	開口
		72	エミッタ層
		73	開口
		74	

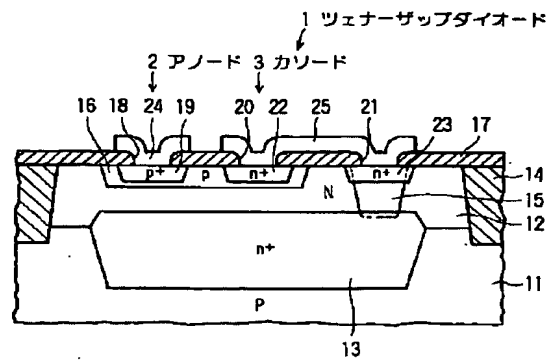
【圖 2】



【图 4】



【図5】



THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116174

(43)Date of publication of application : 02.05.1997

(51)Int. Cl.

H01L 29/866

H01L 21/8222

H01L 27/06

(21)Application number : 07-269889

(71)Applicant : SONY CORP

(22)Date of filing : 18.10.1995

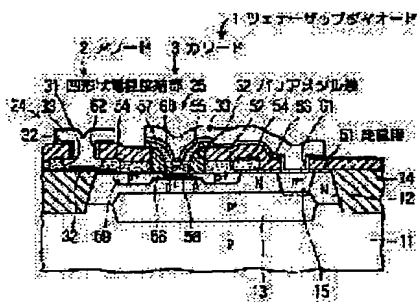
(72)Inventor : ARAI CHIHIRO

(54) ZENER ZAP DIODE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Zener zap diode which can be manufactured stably and can be zapped with the same easiness as conventional one by enabling itself to be mounted on a highly integrated semiconductor device, using the stacked electrode composed of a via metal film and an Al alloy film, and its manufacture.

SOLUTION: A polysilicon base electrode 54 is provided with a recessed electrode connection 31, and on this recessed electrode connection 31 is an interlayer insulating film 43 in the shape of an overhang of about 150nm provided, and the separation part of the barrier metal film 32 stacked by sputtering is made at the sidewall of the recessed electrode connection 31. At this sidewall part, the Al-Si alloy film 33 being the low fusing metal of the anode electrode 24 composed of the stacked electrode by the barrier metal film and the Al-Si alloy film 33 and the polysilicon base electrode 54 are brought into direct contact with each other not through the barrier metal film 32 being high fusing point metal electrode. Hereby, it becomes possible to mount a Zener zap diode on a highly integrated semiconductor device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the structure of the zener-zap diode carried in the semiconductor device, the structure, and the manufacture approach of the zener-zap diode carried in the semiconductor device which uses the laminating electrode of the barrier metal film of a refractory metal, and aluminum system alloy film of a low melting point metal in more detail about the manufacture approach.

[0002]

[Description of the Prior Art] When it seems that reference voltage is generated within a semiconductor integrated circuit, in order to put the electrical potential difference into the specification range, it is necessary to perform resistance adjustment (trimming). It is carried out using destruction of zener diode, for example, the trimming of the resistance in the former and a semiconductor integrated circuit is IEEE. Journal of It is carried by Solid-State Circuits, Vol. SC-10, No. 6, pp. 412-416, and (Dec. 1975). The conventional structure of the zener-zap diode in this common semiconductor integrated circuit is shown in drawing 5.

[0003] The zener-zap diode 1 using a bipolar transistor carried in the semiconductor device which consisted of semiconductor integrated circuits containing a bipolar transistor is a configuration which consists of an emitter in an NPN transistor as shown in drawing 5, and diode using the PN junction of the base, uses the base as the anode 2 of the zener-zap diode 1, and uses an emitter as the cathode 3 of the zener-zap diode 1. In addition, for the zener-zap diode 1 using an NPN transistor, since the collector is surrounded by the PN junction and the insulator layer for isolation and becomes unstable in potential, connecting a collector to an emitter electrode or power-source wiring has composition of the common zener-zap diode 1.

[0004] Next, the manufacture approach of the zener-zap diode 1 of the above-mentioned conventional example is explained with reference to drawing 5. First, on the P-type semiconductor substrate 11, the ion implantation of the impurity used as N type is carried out, and the N type epitaxial layer 12 is formed on the P-type semiconductor substrate 11 after that. The impurity by which the ion implantation was carried out in this process is diffused in the semiconductor substrate 11 and an epitaxial layer 12, and the N type embedding diffusion layer 13 is formed. The LOCOS film 14 is formed in a component isolation region after that, and the collector-electrode drawer field 15 which connects the N type embedding diffusion layer 13 and the contact diffusion layer 23 of the collector mentioned later is formed. Furthermore, the ion implantation of the impurity of P type is carried out, the base layer 16 is formed, an insulator layer 17 is deposited after that, from the opening 18 section formed in the insulator layer 17, the ion implantation of the impurity of P type is carried out, and the graft base layer 19 is formed. Next, from opening 20 and the 21 sections which were formed in the insulator layer 17, the ion

THIS PAGE BLANK (USPTO)

implantation of the impurity of N type is carried out, the emitter layer 22 and the contact diffusion layer 23 of a collector are formed, and activation annealing of these ion-implantations layer is carried out after that. Furthermore, after depositing aluminum system alloy film, for example, the aluminum-Si alloy film containing about 1% of Si, after that, the emitter electrode 25 which carried out patterning and which was connected with the contact diffusion layer 23 of a base electrode 24, i.e., the anode electrode of the zener-zap diode 1, and a collector, i.e., the cathode electrode of the zener-zap diode 1, is formed, and the zener-zap diode 1 is formed.

[0005] Since the above zener-zap diodes 1 are using the above-mentioned aluminum-Si alloy of a low melting point metal as an electrode material, in the semiconductor integrated circuit carrying the zener-zap diode 1, there is an advantage that it is easy to carry out Zener destruction of the zener-zap diode 1 at the time of the trimming of resistance, to carry out melting of the electrode material of an aluminum-Si alloy, and to make the short condition by NP junction destruction cause (zapping). However, in the latest high integration, high-performance-izing, now *****, if a shallow PN junction comes to be required and a bipolar transistor component and an MOS transistor component use the above aluminum-Si alloys as an electrode, an aluminum-Si alloy and Si of a semi-conductor substrate react, the phenomenon of making a shallow PN junction destroy occurs, and the electrode of the above aluminum-Si alloys cannot be used. Then, in order to prevent that the shallow PN junction mentioned above breaks, the electrode is formed between the electrode of an aluminum-Si alloy, and the semi-conductor substrate with the configuration in which the barrier metal film by the cascade screen of Ti and TiN which is a refractory metal ingredient was prepared. If the laminating electrode by the barrier metal film which is such a refractory metal ingredient, and the aluminum-Si alloy which is a low melting point metal is used, zapping at the time of resistor trimming becomes almost impossible about the zener-zap diode 1, and it has become an inhibition factor for this to carry the zener-zap diode 1 in high integration and the high-performance-ized semiconductor device.

[0006] Furthermore, in the zener-zap diode using the PN junction of the emitter of a bipolar transistor, and the base, it is necessary to connect a collector, an emitter or a collector, and a power source, there is an increase of area with the excessive wiring section field for it, and the degree of integration is reduced so that the potential of a collector may not become unstable.

[0007]

[Problem(s) to be Solved by the Invention] It sets it as the purpose that this invention solves the various troubles of the zener-zap diode mentioned above. Namely, in case the technical problem of this invention carries zener-zap diode in the semiconductor device which used the laminating electrode by the barrier metal film and aluminum system alloy film, it is the stable manufacture. And another technical problem of this invention which is offering the zener-zap diode which can do zapping easily, and its manufacture approach again In the zener-zap diode using the PN junction of the emitter of a bipolar transistor, and the base, it is offering zener-zap diode without the excessive wiring section field for stabilization reservation of collector potential, and its manufacture approach.

[0008]

[Means for Solving the Problem] The zener-zap diode of this invention is proposed in order to solve the above-mentioned technical problem.

[0009] Carry the zener-zap diode of claim 1 in the semiconductor device which consisted of semiconductor integrated circuits containing a bipolar transistor. It is the zener-zap diode using a bipolar transistor. The connection of one [at least] electrode among the anode electrode of zener-zap diode, and a cathode electrode It considers as a concave configuration electrode connection, and has the insulator layer which has overhang-like opening above a concave configuration electrode connection. An electrode It constitutes from a laminating electrode layer of the barrier metal film and aluminum system alloy film. The barrier metal film By the insulator layer with overhang-like opening, it has the structure separated between the overhang-like concave configuration electrode connections directly under

THIS PAGE BLANK (USPTO)

opening the insulator layer top. In a concave configuration electrode connection The barrier metal film of a laminating electrode layer contacts the pars basilaris ossis occipitalis of a concave configuration electrode connection by which an electrode counters directly the joint currently formed in the semi-conductor substrate. aluminum system alloy film of a laminating electrode layer is characterized by considering as the configuration in contact with the semi-conductor section at the side-attachment-wall section of the concave configuration electrode connection which does not counter a joint directly.

[0010] A bipolar transistor consists of polish recon base electrodes, and zener-zap diode of claim 2 is characterized by having the structure which prepared the concave configuration electrode connection in said polish recon base-electrode sections other than the upper part of the graft base layer of said bipolar transistor.

[0011] As for the zener-zap diode of claim 3, an electrode connection is prepared in the polish recon base-electrode section of the upper part of the graft base layer of a bipolar transistor by a bipolar transistor consisting of polish recon base electrodes, and it is characterized by considering as structure with the polish recon base electrode of 100nm of abbreviation between the pars basilaris ossis occipitalis of a concave configuration electrode connection, and said graft base layer.

[0012] Carry the zener-zap diode of claim 4 in the semiconductor device which consists of semiconductor integrated circuits containing a polish recon emitter electrode bipolar transistor. The connection of the emitter electrode of the bipolar transistor which is the zener-zap diode using a bipolar transistor, and is used as zener-zap diode Consider as a concave configuration electrode connection and it has the insulator layer which has overhang-like opening above a concave configuration electrode connection. The emitter layer of the bipolar transistor which has a polish recon emitter electrode on a concave configuration electrode connection, and is used as zener-zap diode It connects with a collector layer and an electrode is constituted from a laminating electrode layer of the barrier metal film and aluminum system alloy film. The barrier metal film By the insulator layer with overhang-like opening, it has the structure separated between the overhang-like concave configuration electrode connections directly under opening the insulator layer top. It is characterized by considering as the configuration in which aluminum system alloy film of a laminating electrode layer counters junction of an emitter layer and a base layer through a polish recon emitter electrode.

[0013] The manufacture approach of the zener-zap diode of claim 5 Carry in the semiconductor device which consisted of semiconductor integrated circuits containing a bipolar transistor. It is the manufacture approach of the zener-zap diode using a bipolar transistor. A photoresist with opening of a larger opening area surrounding opening which prepared the connection of one [at least] electrode in the insulator layer among the anode electrode of zener-zap diode and the cathode electrode, and opening is used as a mask. Sputtering of the process which etches the semi-conductor section isotropic and forms a concave configuration electrode connection, and the barrier metal film and aluminum system alloy film is carried out, and it is characterized by having the process which forms a laminating electrode layer.

[0014] The manufacture approach of the zener-zap diode of claim 6 The process which forms the polish recon base-electrode section as a base electrode of a bipolar transistor, The process which forms an interlayer insulation film on a polish recon base electrode, and the process which forms opening in interlayer insulation films on a polish recon base electrode other than the graft base layer upper part of a bipolar transistor, The description of etching a polish recon base electrode isotropic and having the process which forms a concave configuration electrode connection is carried out by using a photoresist with opening of an interlayer insulation film, and opening of a larger opening area surrounding opening as a mask.

[0015] The manufacture approach of the zener-zap diode of claim 7 The process which forms the polish recon base-electrode section as a base electrode of a bipolar transistor, The process which forms an interlayer insulation film on a polish recon base electrode, and the process which forms opening in the

THIS PAGE BLANK (USPTO)

graft base layer upper part of a bipolar transistor at the interlayer insulation film on a polish recon base electrode, A photoresist with opening of an interlayer insulation film and opening of a larger opening area surrounding this opening is used as a mask. A polish recon base electrode is etched isotropic, a concave configuration electrode connection is formed, and the description of having the process which leaves the polish recon base electrode of 100nm of abbreviation is carried out between the pars basilaris ossis occipitalis of a concave configuration electrode connection, and a graft base layer.

[0016] The manufacture approach of the zener-zap diode of claim 8 Carry in the semiconductor device which consists of semiconductor integrated circuits containing a polish recon emitter electrode bipolar transistor. The process which is the manufacture approach of the zener-zap diode using a bipolar transistor, and forms the polish recon base-electrode section as a base electrode of a bipolar transistor, The process which forms the insulator layer for sidewalls of the polish recon base-electrode section, The process which forms opening in the cathode section of the zener-zap diode of the insulator layer for sidewalls, The process which uses the insulator layer for sidewalls as a mask, carries out etching removal of a part of base layer of opening by isotropic etching, and forms a concave configuration electrode connection, The patterning process of the photoresist for leaving the insulator layer for sidewalls to a zener-zap diode field, The process which uses a photoresist as a mask and carries out etchback of the insulator layer for sidewalls, Diffuse the process which forms the polish recon emitter electrode which doped the impurity, and the impurity of a polish recon emitter electrode, and the emitter layer of a bipolar transistor is formed. Sputtering of the process which extinguishes a part of base layer to base-emitter junction formation and coincidence, and connects an emitter and a collector to them, and the barrier metal film and aluminum system alloy film is carried out, and it is characterized by having the process which forms a laminating electrode layer.

[0017] Since the main point of this invention carries the zener-zap diode using the laminating electrode layer of the barrier metal film and aluminum system alloy film which is used for high integration and the high-performance-ized semiconductor device and which is a wiring technique in a semiconductor device, Among the anode of zener-zap diode, and a cathode by making the connection of one [at least] electrode into a concave configuration electrode connection, and preparing the insulator layer which has overhang-like opening above this concave configuration electrode connection It is having considered as the structure the barrier metal film's having been separated between the overhang-like concave configuration electrode connections directly under opening the insulator layer top. By having considered as such structure, the barrier metal film contacts the diffusion layer on a shallow PN junction. Prevent the reaction of Si of a semi-conductor substrate, and aluminum system alloy which is a low melting point metal on the barrier metal film, and, on the other hand, in the side-attachment-wall section of the concave configuration electrode connection from which the barrier metal film was separated aluminum system alloy film which is a low melting point metal contacts, and zapping becomes possible by the same ease as usual at the time of zapping of zener-zap diode.

[0018] Moreover, the main point of this invention is set to the zener-zap diode using the bipolar transistor of the semiconductor device containing a polish recon emitter electrode bipolar transistor. Make the connection of the electrode of an emitter layer into a concave configuration electrode connection, and the overhang of an insulator layer is formed above a concave configuration electrode connection. It is forming an emitter layer for the impurity of a polish recon emitter electrode by diffusion, extinguishing a part of base layer to the base, emitter junction formation, and coincidence, and connecting an emitter and a collector. Zener-zap diode without the excessive wiring section field for stabilization reservation of collector potential can be constituted from making it this appearance. Since high integration of the semiconductor device by contraction-izing of a zener-zap diode component is enabled and an emitter layer contacts aluminum system alloy of a low melting point metal through a polish recon emitter electrode Most things for which the shallow PN junction of an emitter and the base is destroyed by the reaction of silicon and aluminum system alloy cannot be found, and, on the other

THIS PAGE BLANK (USPTO)

hand, zapping of them becomes possible by the same ease as usual at the time of zapping of zener-zap diode.

[0019]

[Example] Hereafter, with reference to an accompanying drawing, it explains about the concrete example of this invention. In addition, the same reference mark shall be given to the component in drawing 5 referred to by explanation of the conventional technique, and the same component.

[0020] With the zener-zap diode of this invention, example 1 this example is an example which made it possible to carry zener-zap diode in the semiconductor device which uses the laminating electrode by the barrier metal film of a refractory metal ingredient and the electrode layer of a low melting point metallic material which are the wiring technique of the semiconductor device of high accumulation, and explains this with reference to drawing 1 (a) and (b).

[0021] Drawing 1 (a) is the outline sectional view of the zener-zap diode 1 which used the NPN transistor, and drawing 1 (b) is the outline sectional view of the zener-zap diode 1 which used the PNP transistor. First, the zener-zap diode 1 using an NPN transistor forms even NPN transistor formation of contact diffusion layer 23 grade of the base layer 16, the graft base layer 19, the emitter layer 22, and a collector in the P-type semiconductor substrate 11 by the same manufacture approach with the conventional example having explained. Next, the opening 18 of the insulator layer 17 of the graft base layer 19 section is surrounded, the concave configuration electrode connection 31 is formed by using an insulator layer 17 as a mask by etching by the plasma-etching method or the wet etching method which can etch the graft base layer 19 isotropic with the photoresist by which patterning was carried out by opening larger about 1 micrometer than opening 18, and the insulator layer 17 on the graft base layer 19 is made into the shape of about 150nm overhang.

[0022] Then, the barrier metal layer 32 which carried out the laminating of Ti and TiN which are a refractory metal ingredient as an example is deposited by the sputtering method. In addition, Ti film is formed by about 30nm, and, as for this barrier metal layer 32, the TiN film is formed by about about 50nm. If it is made this appearance, as shown in drawing 1 (a), the barrier metal layer 32 deposited by the sputtering method is deposited on the graft base layer 19 of opening 18 directly under an insulator layer 17 top, and is not deposited on the graft base layer 19 section of crevice configuration electrode connection 31 side attachment wall covered by the overhang-like insulator layer 17, but will be in the condition that the barrier metal film 32 was separated. In addition, as barrier metal film, other refractory metal ingredients and a compound are sufficient as TiON, TiW, etc., and they can also consist of these monolayers or a laminated structure.

[0023] aluminum system alloy film and about 800nm of aluminum-Si alloy film which contains about 1% of Si as an example are deposited after deposition of the barrier metal layer 32, patterning is carried out after that, and it forms, the anode electrode 24 of the zener-zap diode 1 by the base electrode, i.e., the laminating electrode of the barrier metal film 32 and the aluminum-Si alloy film 33, and the emitter electrode 25 linked to the contact diffusion layer 23 of a collector, i.e., the cathode electrode of the zener-zap diode 1, and is **. In the zener-zap diode 1 produced as mentioned above, the barrier metal layer 32 of Ti/TiN contacts in the pars basilaris ossis occipitalis of the crevice configuration electrode connection 31, and the crevice configuration electrode connection 31 and the anode electrode 24 into which the graft base layer 19 was etched isotropic will be in the condition that the aluminum-Si alloy film 33 contacted directly, in the side-attachment-wall section of the crevice configuration electrode connection 31.

[0024] Therefore, even if it carries zener-zap diode in the semiconductor device with which the laminating electrode layer use by the barrier metal film 32 and aluminum-Si alloy film 33 electrode layer of a low melting point metallic material which are a refractory metal ingredient was integrated highly By the zapping processing which carries out overcurrent impression to the zener-zap diode 1 at the time of the trimming of resistance The aluminum-Si alloy of the low melting point metallic material

THIS PAGE BLANK (USPTO)

which touches the side-attachment-wall section of the crevice configuration electrode connection 31 of the graft base layer 19 fuses a part by high temperature generating by overcurrent impression. It can perform making NP junction destroy easily, and the barrier metal film which is the refractory metal ingredient of a laminating electrode layer does not serve as a failure of zapping, but the same zapping as usual of it becomes possible. On the other hand, in the above-mentioned zener-zap diode 1, destruction by the reaction of the aluminum-Si alloy of a low melting point metal and Si of a semi-conductor substrate is prevented by the barrier metal film 32, and the manufacture of junction of the shallow graft base layer 19 stabilized like junction of the emitter layer 22 is attained.

[0025] Next, the zener-zap diode 1 using a PNP transistor is explained with reference to drawing 1 (b). The zener-zap diode 1 using the PNP transistor of drawing 1 (b) has the composition of having taken into consideration process similarity with the other components in a semiconductor integrated circuit. Therefore, first, the P type embedding diffusion layer 34 which forms an N type epitaxial layer in the P-type semiconductor substrate 11 after ion-implantation **, and serves as a collector in an N type impurity and a P type impurity at it is surrounded by the N type conductive layer 35 by the P-type semiconductor substrate 11 side, and by the N type epitaxial layer side, the P type embedding diffusion layer 34 is formed so that it may be in the condition that embed and a diffusion layer 34 is not surrounded by the N type conductive layer 35. Formation of the above P type embedding diffusion layers 34 is realizable by taking into consideration a difference of the ion-implantation energy of an N type impurity and a P type impurity, a dose, and the diffusion coefficient of two impurities. After forming the N type epitaxial layer 12, the LOCOS film 14 is formed in a component isolation region, and the collector-electrode [a component detached core-cum-] drawer field 36 of the zener-zap diode 1 section is formed. Furthermore, the base layer 37 of high impurity concentration higher than the high impurity concentration of the N type epitaxial layer 12 is formed by the ion implantation.

[0026] Next, an insulator layer 17 is deposited, from the opening 38 section formed in the insulator layer 17, the ion implantation of the impurity of N type is carried out, and the graft base field 39 is formed. From opening 40 and the 41 sections which were formed in the insulator layer 17 after that, the ion implantation of the impurity of P type is carried out, the emitter layer 42 and the contact diffusion layer 43 of a collector are formed, and activation annealing of these ion-implantations layer is carried out after that. Next, the emitter layer 42 which is the anode 2 of the zener-zap diode 1 is etched by the same approach as the zener-zap diode 1 formation using the NPN transistor mentioned above, the barrier metal film 32 and the aluminum-Si alloy film 33 are deposited after that, patterning of this laminating electrode layer is carried out, and the cathode electrode 3 in contact with the anode electrode 24 which connected the emitter layer 42 and the contact diffusion layer 42 of a collector, or the base layer 37 is formed.

[0027] Zapping can be easily performed like [the zener-zap diode 1 using the PNP transistor mentioned above] the zener-zap diode 1 using an NPN transistor. If the process of this example is taken, in the semiconductor integrated circuit with which both the NPN transistor and the PNP transistor were carried, the zener-zap diode 1 using an NPN transistor and the zener-zap diode 1 using a PNP transistor can be carried in coincidence, and the process which etches the graft base layer 39 of an NPN transistor which moreover serves as the anode 2 of drawing 1 (a), and the emitter layer 42 of the PNP transistor of drawing 1 (b) isotropic by the plasma-etching method etc. can be shared.

[0028] Moreover, although the zener-zap diode 1 was formed by the approach of this example etching the ion-implantation layer of the impurity used as an anode 2 isotropic by the plasma-etching method etc., and depositing the barrier metal film 32 and the aluminum-Si alloy film 33 after that, the zener-zap diode 1 may be formed by the approach of etching the ion-implantation layer of the impurity used as a cathode 3 isotropic by the plasma-etching method etc., and depositing the barrier metal film 32 and the aluminum-Si alloy film 33 after that. Zapping of the direction of the former zener-zap diode 1 can merely be carried out more easily.

THIS PAGE BLANK (USPTO)

[0029] Example 2 this example is the semiconductor device which uses the laminating electrode by the barrier metal film of a refractory metal ingredient and the electrode layer of a low melting point metallic material which are the wiring technique of the semiconductor device of high accumulation, from the semiconductor device of an example 1, further, is an example which made it possible to carry the zener-zap diode of this invention in high integration and the high-performance-ized semiconductor device, and explains this with reference to drawing 2.

[0030] Drawing 2 is the outline sectional view of the zener-zap diode 1 using the NPN transistor carried in high integration and the high-performance-ized semiconductor device, and is explained with reference to this drawing. First, the epitaxial layer 12 of N type, the N type embedding diffusion layer 13, the LOCOS film 14, and the collector-electrode drawer field 15 are formed like the conventional example on the semi-conductor substrate 11. Next, an insulator layer 51 is formed and opening 52 is formed in the insulator layer 51 of the base region which consists of a base layer 56 mentioned later and a graft base field 59. Next, the polish recon film which doped the P type impurity is deposited, patterning is carried out after that, and the pattern of the polish recon film including the field used as the polish recon base electrode 54 is formed in behind. An interlayer insulation film 53 is deposited with a CVD method etc. after that, and opening 55 is formed in the interlayer insulation film 53 and polish recon film of the formation field section of the base layer 55. The pattern of the polish recon film after this opening 55 was formed serves as the polish recon base electrode 54.

[0031] Next, the ion implantation of the P type impurity is carried out through opening 55, and the base layer 56 is formed. the back deposit an insulator layer with a CVD method after that, continue, and according this insulator layer to RIE etc. -- dirty -- the front face of the base layer 56 -- even coming out -- it etches. If it is made this appearance, the sidewall insulator layer 57 will remain only in the opening 55 section. Then, deposit the polish recon film, and carry out the ion implantation of the impurity of the N type of this polish recon ***** , heat-treat continuously, the base layer 56 is made to diffuse the N type impurity in the polish recon film, and the emitter layer 58 is formed. In addition, of the above-mentioned heat treatment, the P type impurity in the polish recon base electrode 54 is also diffused, and the graft base field 59 is formed. Next, patterning of the polish recon film which carried out the ion implantation of the impurity of above-mentioned N type is carried out, the polish recon emitter electrode 60 is formed, and opening 61 and opening 62 are continuously formed in the interlayer insulation film 53 of the collector-electrode drawer field 15 section and the polish recon base-electrode 54 section. In addition, let the location of this opening 62 be the interlayer insulation film 54 on polish recon base electrodes 54 other than the upper part of the graft base layer 59.

[0032] Next, the opening 62 of the interlayer insulation film 53 of the polish recon base-electrode 54 section is surrounded, by using as a mask the photoresist by which patterning was carried out by opening larger about 1 micrometer than this opening 62, and an interlayer insulation film 53, by the plasma-etching method or the wet etching method which can etch the polish recon base electrode 54 isotropic, it etches, the concave configuration electrode connection 31 is formed, and the upper interlayer insulation film 53 of the concave configuration electrode connection 31 is made into the shape of an overhang. By this etching, extent of the overhang of an interlayer insulation film 53 is set to about 150nm. Although it is in the condition that etch the polish recon base electrode 54 by isotropic etching, and the polish recon base electrode 54 of opening 62 directly under does not remain, in drawing 2, and the polish recon base electrode 54 of opening 62 directly under remains depending on the isotropy of etching, or the thickness of the polish recon base electrode 54, you may be in this condition. After above-mentioned etching deposits the barrier metal film 32 and the aluminum-Si film 33 like an example 1, and forms the anode electrode 24 and the cathode electrode 25:

[0033] In the zener-zap diode 1 produced as mentioned above, as the example 1 explained, the barrier metal film 32 is separated by the opening 62 of an overhang-like interlayer insulation film, and the aluminum-Si alloy film 33 of the anode electrode 24 will be in the condition of having contacted the

THIS PAGE BLANK (USPTO)

polish recon base electrode 54 and directly in the side-attachment-wall section of the concave configuration electrode connection 31. Therefore, even if it carries zener-zap diode in the semiconductor device with which the laminating electrode use by the barrier metal film and the aluminum-Si alloy film of a low melting point metallic material which are a refractory metal ingredient was integrated highly By the zapping processing which carries out overcurrent impression to the zener-zap diode 1 at the time of the trimming of resistance The aluminum-Si alloy of the low melting point metallic material which touches the side-attachment-wall section of the above-mentioned concave configuration electrode connection 31 fuses a part by high temperature generating by overcurrent impression. It can perform carrying out N-P junction destruction easily, and the barrier metal film which is a refractory metal ingredient does not serve as a failure of zapping, but the same zapping as usual of it becomes possible. [0034] Example 3 this example is the zener-zap diode which raised the ease of zapping from the zener-zap diode 1 of an example 2. That is, since the zener-zap diode 1 of drawing 2 is the zener-zap diode using the bipolar transistor integrated highly, zapping is possible at the same ease as the conventional example with in practice very short therefore spacing of the anode electrode 24 and the PN-junction section which generates heat by the Zener destruction, but this example is the zener-zap diode 1 which the anode electrode 24 and the PN-junction section were made to approach in order to make zapping easy further. With reference to drawing 3, this example is explained below.

[0035] Since the zener-zap diode 1 of drawing 3 is the same as the polish recon base electrode of drawing 2, and the zener-zap diode using the NPN transistor by which the polish recon emitter electrode configuration was integrated highly almost and it is the same as that of the zener-zap diode 1 of drawing 2 up to the phase which forms a concave configuration electrode connection in a polish recon base electrode, explanation is omitted. Opening 62 is first formed in the interlayer insulation film 53 of the polish recon base-electrode 54 section for an opening location for the upper part of the graft base layer 59. Next, the opening 62 of the interlayer insulation film 53 of the polish recon base-electrode 54 section is surrounded, by using as a mask the photoresist by which patterning was carried out by opening larger about 1 micrometer than this opening 62, and an interlayer insulation film 53, the polish recon base electrode 54 is etched by the plasma-etching method or the wet etching method which can etch the polish recon base electrode 54 isotropic, the concave configuration electrode connection 31 is formed, and the upper interlayer insulation film 53 of the concave configuration electrode connection 31 is made into the shape of an overhang. Extent of the overhang of this interlayer insulation film 53 is set to about 150nm. under the present circumstances, the thickness whose polish recon base electrode 54 is about 100nm in the graft base field 59 upper part -- ** -- it is made like and etching is ended. After that, the barrier metal film and the aluminum-Si film are deposited like an example 1, and the anode electrode 24 and the cathode electrode 25 are formed.

[0036] When it is made this appearance, since the aluminum-Si alloy film 33 of a low melting point metallic material touches shallow junction of the graft base layer 59 through the polish recon base electrode 54, in the side-attachment-wall section of the concave configuration electrode connection 31 of the etched polish recon base electrode 54, most destruction of shallow junction of the graft base layer 59 by the aluminum-Si alloy film 33 reacting with Si of a semi-conductor cannot be found. In this zener-zap diode 1, since the anode electrode 24 and the PN-junction section are approached, it is possible to carry out zapping still more easily than the zener-zap diode of drawing 2.

[0037] example 4 this example be the zener-zap diode of this invention which made it possible to carry the zener-zap diode which do not have an excessive wiring section field for stabilization reservation of the collector potential in the zener-zap diode which used the bipolar transistor in the semiconductor device which use the laminating electrode by the barrier metal film of a refractory metal ingredient and aluminum system alloy film of a low melting point metallic material which be the wiring technique of the semiconductor device of high accumulation, and explain this with reference to drawing 4.

[0038] Drawing 4 is the outline sectional view of the zener-zap diode 1 which used the NPN transistor,

THIS PAGE BLANK (USPTO)

and is explained with reference to this drawing. First, the N type epitaxial layer 12, the N type embedding diffusion layer 13, and the LOCOS film 14 are formed in P-type semiconductor equipment 11 like the conventional example. Next, the opening 52 of an insulator layer 51, an interlayer insulation film 53, the polish recon base electrode 54, and the base layer 56 are similarly formed with the example 2 having explained. Then, the insulator layer 71 for sidewalls for giving the self aryne structure of a graft base layer and an emitter layer in the NPN transistor which takes the configuration shown in an example 2 in semiconductor devices other than zener-zap diode 1 of this invention is deposited.

[0039] Next, opening 72 is formed in the insulator layer 71 for sidewalls of the emitter layer 73 formation field section mentioned later, after that, by the plasma-etching method which etches 56 isotropic, etching removal is carried out and a part of base layer 56 is formed concave configuration electrode connection 31. It is made for the insulator layer 71 for sidewalls to serve as the shape of about 150nm overhang by this etching in the upper part of the concave configuration electrode connection 31. Then, a photoresist is applied, after carrying out patterning by which a photoresist remains in some upper parts of the base layer 56, the emitter layer 73 mentioned later, and the graft base layer 59, this photoresist is used as a mask and the insulator layer 71 for sidewalls is etched by the usual back dirty method. Next, like an example 2, the polish recon emitter electrode 60 is formed, the impurity of the polish recon emitter electrode 60 and the impurity of the polish recon base electrode 54 are diffused in **** which heat-treats, and the emitter layer 73 and the graft base field 59 are formed. Then, opening 74 is formed in the polish recon base-electrode 54 section, and the anode electrode 24 and the cathode electrode 25 are formed like an example 1.

[0040] By formation of the emitter layer 73 according a part to diffusion of the impurity of etching removal and the polish recon emitter electrode 60 of the above-mentioned base layer 56, the shallow PN junction between the base just under opening 72 and a collector disappears, and the emitter layer 73, the collector section 12, i.e., an N type epitaxial layer, and the N type embedding diffusion layer 13 are connected. Therefore, the excessive wiring section field for stabilization reservation of collector potential like the conventional example is not needed, but contraction-ization of one zener-zap diode can be performed, and it can contribute to high integration of a semiconductor device.

[0041] Moreover, in the zener-zap diode 1 produced as mentioned above, it is the side-attachment-wall section of the concave configuration electrode connection 31 formed in a part of base layer 56, and the aluminum-Si alloy film 33 will be in the condition of having contacted the emitter layer 73 through the polish recon emitter electrode 72. Therefore, even if it carries the zener-zap diode 1 in the semiconductor device with which the laminating electrode use by the barrier metal film 32 and the aluminum-Si alloy film 33 of a low melting point metallic material which are a refractory metal ingredient was integrated highly By the zapping processing which carries out overcurrent impression to the zener-zap diode 1 at the time of the trimming of resistance The aluminum-Si alloy of the low melting point metallic material which touches the side-attachment-wall side of the polish recon base electrode 54 fuses a part by high temperature generating by overcurrent impression. It can perform carrying out N-P junction destruction easily, and the barrier metal film 32 which is a refractory metal ingredient does not serve as a failure of zapping, but the same zapping as usual of it becomes possible.

[0042] In addition, in the case of zener-zap diode of the configuration using a PNP transistor, although this example explained the zener-zap diode 1 of a configuration of having used the NPN transistor, it can form similarly.

[0043]

[Effect of the Invention] So that clearly from the above explanation the zener-zap diode of this invention After etching the joint of an electrode isotropic and forming opening of an overhang-like insulator layer, by forming an electrode Zener-zap diode can be carried in the semiconductor device with which the laminating electrode wiring technique of the barrier metal film and the aluminum-Si alloy film of a low melting point metal by the refractory metal ingredient is used and which was integrated highly, and a

THIS PAGE BLANK (USPTO)

common process. The stable manufacture is attained and it becomes possible to carry out zapping of the zener-zap diode by the same ease moreover as the former. Moreover, the zener-zap diode of this invention is forming a polish recon emitter electrode and forming an emitter layer, after carrying out etching removal of the base layer of a bipolar transistor in part by isotropic etching, after it connects the collector section with an emitter layer, is forming an electrode and becomes possible [losing the electrode wiring field of a collector, enabling contraction-ization of a zener-zap diode component, and carrying out zapping of the zener-zap diode by the same ease moreover as the former].

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the zener-zap diode using said bipolar transistor carried in the semiconductor device which consisted of semiconductor integrated circuits containing a bipolar transistor The connection of one [at least] of said electrode among the anode electrode of said zener-zap diode, and a cathode electrode It considers as a concave configuration electrode connection, and has the insulator layer which has overhang-like opening above said concave configuration electrode connection. Said electrode It constitutes from a laminating electrode layer of the barrier metal film and aluminum system alloy film. Said barrier metal film By the insulator layer with opening of the shape of said overhang, it has the structure separated between the electrode connections directly under opening of the shape of said overhang said insulator layer top. In said concave configuration electrode connection The barrier metal film of said laminating electrode layer contacts the pars basilaris ossis occipitalis of said concave configuration electrode connection by which said electrode counters directly the joint currently formed in the semi-conductor substrate. Zener-zap diode characterized by aluminum system alloy film of said laminating electrode layer considering as the configuration in contact with the semi-conductor section at the side-attachment-wall section of said concave configuration electrode connection which does not counter said joint directly.

[Claim 2] Zener-zap diode according to claim 1 which said bipolar transistor consists of polish recon base electrodes, and is characterized by having the structure which prepared said concave configuration electrode connection in said polish recon base-electrode sections other than the upper part of the graft base layer of said bipolar transistor.

[Claim 3] Zener-zap diode according to claim 1 which said bipolar transistor consists of polish recon base electrodes, prepares a concave configuration electrode connection in said polish recon base-electrode section of the upper part of the graft base layer of said bipolar transistor, and is characterized by considering as structure with said polish recon base electrode of 100nm of abbreviation between the pars basilaris ossis occipitalis of said concave configuration electrode connection, and said graft base layer.

[Claim 4] In the zener-zap diode using said bipolar transistor carried in the semiconductor device which consists of semiconductor integrated circuits containing a polish recon emitter electrode bipolar transistor The connection of the emitter electrode of the bipolar transistor used as said zener-zap diode Consider as a concave configuration electrode connection and it has the insulator layer which has overhang-like opening above said concave configuration electrode connection. The emitter layer of the bipolar transistor which has said polish recon emitter electrode on said concave configuration electrode connection, and is used as said zener-zap diode It connects with a collector layer and said electrode is constituted from a laminating electrode layer of the barrier metal film and aluminum system alloy film. Said barrier metal film By the insulator layer with opening of the shape of said overhang, on said

THIS PAGE BLANK (USPTO)

insulator layer, Zener-zap diode characterized by considering as the configuration in which it has the structure separated between the electrode connections directly under opening of the shape of said overhang, and aluminum system alloy film of said laminating electrode layer counters junction of an emitter layer and a base layer through said polish recon emitter electrode.

[Claim 5] The manufacture approach of the zener-zap diode using said bipolar transistor carried in the semiconductor device which consisted of semiconductor integrated circuits containing a bipolar transistor characterized by providing the following The process which etches the semi-conductor section isotropic by using as a mask a photoresist with opening of a larger opening area surrounding opening which prepared the connection of one [at least] of said electrode in the insulator layer among the anode electrode of said zener-zap diode, and the cathode electrode, and said opening, and forms a concave configuration electrode connection The process which carries out sputtering of the barrier metal film and the aluminum system alloy film, and forms a laminating electrode layer

[Claim 6] The manufacture approach of the zener-zap diode according to claim 5 which is characterized by providing the following and which carries out the description The process which forms the polish recon base-electrode section as a base electrode of a bipolar transistor The process which forms an interlayer insulation film on said polish recon base electrode The process which forms opening in interlayer insulation films on said polish recon base electrode other than the graft base layer upper part of said bipolar transistor The process which etches a polish recon base electrode isotropic by using a photoresist with said opening of said interlayer insulation film, and opening of a larger opening area surrounding said opening as a mask, and forms a concave configuration electrode connection

[Claim 7] The manufacture approach of the zener-zap diode according to claim 5 which is characterized by providing the following and which carries out the description The process which forms the polish recon base-electrode section as a base electrode of a bipolar transistor The process which forms an interlayer insulation film on said polish recon base electrode The process which forms opening in the graft base layer upper part of said bipolar transistor at the interlayer insulation film on said polish recon base electrode The process which etches a polish recon base electrode isotropic by using a photoresist with said opening of said interlayer insulation film, and opening of a larger opening area surrounding said opening as a mask, forms a concave configuration electrode connection, and leaves the polish recon base electrode of 100nm of abbreviation between the pars basilaris ossis occipitalis of said concave configuration electrode connection, and said graft base layer

[Claim 8] The manufacture approach of the zener-zap diode using said bipolar transistor carried in the semiconductor device which consists of semiconductor integrated circuits containing the polish recon emitter electrode bipolar transistor characterized by providing the following The process which forms the polish recon base-electrode section as a base electrode of said bipolar transistor The process which forms the insulator layer for sidewalls of said polish recon base-electrode section The process which forms opening in the cathode section of said zener-zap diode of said insulator layer for sidewalls The process which uses said insulator layer for sidewalls as a mask, carries out etching removal of a part of base layer of said opening by isotropic etching, and forms a concave configuration electrode connection, The patterning process of the photoresist for leaving said insulator layer for sidewalls to said zener-zap diode field, The process which uses said photoresist as a mask and carries out etchback of said insulator layer for sidewalls, Diffuse the process which forms the polish recon emitter electrode which doped the impurity, and the impurity of said polish recon emitter electrode, and the emitter layer of said bipolar transistor is formed. The process which carries out sputtering of the process which extinguishes a part of base layer to base-emitter junction formation and coincidence, and connects an emitter and a collector to them, and said barrier metal film and aluminum system alloy film, and forms a laminating electrode layer

THIS PAGE BLANK (USPTO)

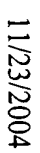
[Translation done.]

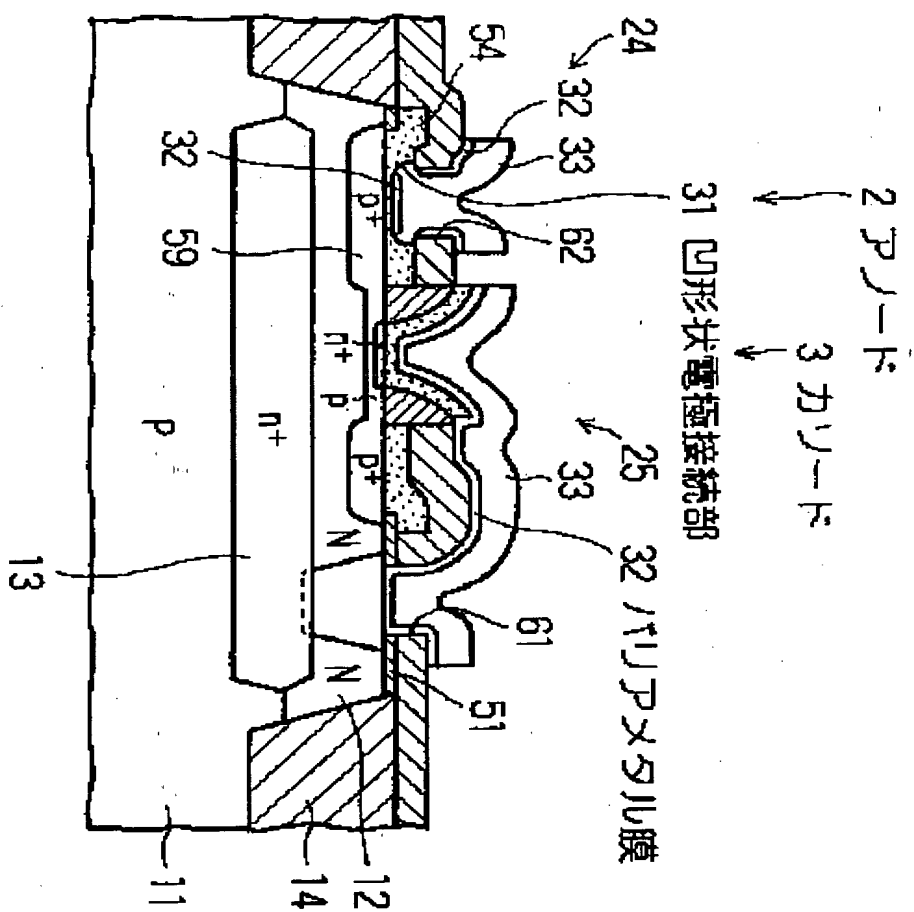
THIS PAGE BLANK (USPTO)



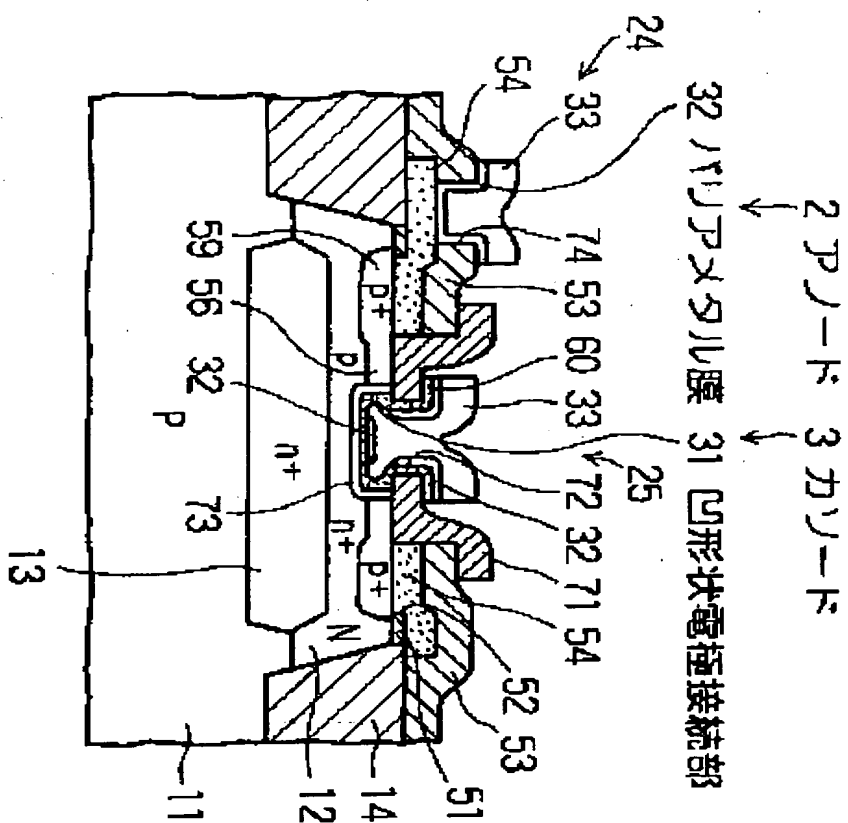
3 カウ-ク 2 プ-ク
 ↓ 25
 ↓ 24

THIS PAGE BLANK (USPTO)





THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)



THIS PAGE BLANK (USPTO)